

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-307855

(43)Date of publication of application : 28.11.1997

(51)Int.Cl. H04N 5/92
G11B 20/18
H04N 7/30

(21)Application number : 08-123528 (71)Applicant : CANON INC
(22)Date of filing : 17.05.1996 (72)Inventor : MATSUI IZUMI

(54) RECORDING AND REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To correct block distortion resulting from orthogonal transformation of coded image data by using the orthogonal transformation in the unit of blocks.

SOLUTION: Image data read from an image memory 3 in the unit of blocks for each of $M \times N$ picture elements are subject to orthogonal transformationquantization and coding and after an error correction code is added to the processed datathe resulting data are modulated and recorded on a recording medium. The reproduced data are subject to demodulation and error correctioninverse variable length codinginverse quantization processing and inverse orthogonal transformation and then decoded. The decoded image data are stored in the image memory 3 in the unit of blocksread in the scanning order of a screen and the read image data are given to a block distortion correction circuit 18where block distortion is correctedD/A-converted and then the result is outputted to a monitor or the like.

CLAIMS

[Claim(s)]

[Claim 1]A recording and reproducing device comprising:

An encoding means which performs processing of orthogonal transformationquantizationand variable length coding one by one to image data inputted by a block unit which comprises two or more pixels.

A record reproduction processing means to perform processing which records image

data by which variable length coding was carried out [above-mentioned] on a recording medium and reproduces this.

A decoding means which performs processing of formation of reverse variable length inverse quantization and inverse orthogonal transformation one by one to image data reproduced [above-mentioned].

A conversion method which changes into image data of screen scanning order image data of a block unit decrypted [above-mentioned] and a block distortion correcting means to amend block distortion contained in image data changed [above-mentioned].

[Claim 2] A block end detection means by which the above-mentioned block distortion correcting means detects a block end contained in image data changed [above-mentioned] A block distortion detection means to detect block distortion of image data changed [above-mentioned] A filter means which image data changed [above-mentioned] passes and amends block distortion The recording and reproducing device according to claim 1 which choosing an output of the above-mentioned filter means when the above-mentioned block end and the above-mentioned block distortion are detected and comprising a selecting means which chooses image data changed [above-mentioned] at the time of others.

[Claim 3] The recording and reproducing device according to claim 2 wherein the above-mentioned block end detection means detects based on a synchronized signal in sync with the above-mentioned block end.

[Claim 4] The recording and reproducing device according to claim 2 judging the above-mentioned block distortion detection means to be block distortion when a difference absolute value of the adjoining pixels at continuous 3 pixels which the direction of 2-pixel change was equal and left 2 pixels is smaller than a predetermined value.

[Claim 5] The recording and reproducing device according to claim 2 as for the above-mentioned block distortion detection means judging it as block distortion smaller [calculate variation of a pixel within the above-mentioned block and / a difference absolute value of 2 variation] than a predetermined value when the 2-pixel variation of a block end is larger than a predetermined value.

[Claim 6] The recording and reproducing device according to claim 2 wherein the above-mentioned filter means is constituted by low pass filter.

[Claim 7] The recording and reproducing device according to claim 1 wherein the above-mentioned conversion method is constituted by image memory and an address controller.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates image data to the recording and reproducing device which used orthogonal transformation and which carries out compression coding processing and carries out record reproduction.

[0002]

[Description of the Prior Art] When recording image data etc. in digital recording playback equipment conventionally a data compression may be performed in order to make record data volume into small capacity. In image data compression digital image data (generally frame image) is divided into the block of a $M \times N$ pixel. Change the block data by which block division was carried out by orthogonal transformation (discrete cosine transform etc.) with recurrence and data volume is reduced to the orthogonal transformation coefficient data by which orthogonal transformation was carried out. When image data is elongated moderate quantization which can restore a comfortable picture and variable length coding are performed. After the data which records possible becomes irregular (NRZ modulator) the compressed data by which the data compression was carried out as mentioned above is inputted into a record circuit and is recorded on a recording medium.

[0003] Drawing 10 is a block diagram showing conventional digital recording playback equipment. The A/D converter to which 1 performs an image signal input terminal and 2 performs analog-to-digital conversion in drawing 10 The image memory in which 3 accumulates image data the address controller by which 4 controls the writing and read-out address of an image memory The orthogonal transformation circuit which 5 performs orthogonal transformations such as DCT (discrete cosine transform) and outputs an orthogonal transformation coefficient The quantization circuit where 6 quantizes an orthogonal transformation coefficient the variable-length-coding (VLC) circuit where 7 reduces the data volume of quantization data A modulation circuit to make various losses hard to receive when a correction code additional circuit for 8 to perform the error correction at the time of reproduction and 9 record and 10 are recording reproduction sections which perform record/reproduction.

[0004] The demodulator circuit where 11 restores to a regenerative signal the error correction circuit where 12 performs an error correction with the above-mentioned correction code The reverse variable length-coded (VLD) circuit where 13 transforms the reproduced VLC data inversely to quantization data The inverse quantizing circuit where 14 changes quantization data into an orthogonal transformation coefficient the inverse-orthogonal-transformation circuit which 15 transforms an orthogonal transformation coefficient inversely and is accomplished with the original image data the D/A converter to which 16 performs D / A conversion and 17 are the output terminals of a picture signal.

[0005] Next operation is explained. At the time of record the picture signal inputted into the input terminal 1 is changed into a digital signal by A/D converter 2 and is written

in the address which the address controller 4 of the image memory 3 specifies. The address controller 4 controls an address to divide the picture of one frame into the block unit of a $M \times N$ pixel and to read it. The block data of a $M \times N$ pixel unit is inputted into the orthogonal transformation circuit 5 and is changed into an orthogonal transformation coefficient. This orthogonal transformation coefficient data is changed into quantization data in the quantization circuit 6 and this quantization data is changed into a variable length code in the VLC circuit 7. A correction code is added by the correction code additional circuit 8 and after the modulation circuit 9 becomes irregular the coding data is inputted into the recording reproduction section 10 and is recorded on recording media such as magnetic tape.

[0006] It gets over in the demodulator circuit 11 and in the VLD circuit 13 the regenerative data outputted from the recording reproduction section 10 at the time of reproduction is changed into quantization data after an error correction is performed using a correction code in the error correction circuit 15. This quantization data is inputted into the inverse quantizing circuit 14 is changed into orthogonal transformation coefficient data and turns into digital image data of the block unit of a $M \times N$ pixel in the inverse-orthogonal-transformation circuit 15 further. This image data is written in the address which the address controller 4 of the image memory 3 specifies. The reading address of the image memory 3 is controlled and the read image data is changed into the picture signal of an analog by the D/A converter and is outputted from the output terminal 17 so that the data in a memory may be read to the line direction of a screen by the address controller 4.

[0007]

[Problem(s) to be Solved by the Invention] In the conventional digital recording playback equipment mentioned above. Although the quantization of an orthogonal transformation coefficient by which block division was carried out had a great effect in reduction of the code amount of orthogonal transformation coefficient data there was a problem called block distortion to the end of a block as the result that big image quality deterioration occurred visually with the error of the block unit of the DC component of an orthogonal transformation coefficient. In that case by not being concerned with an animation and a still picture since the end of a block is immobilization the appearance place of block distortion has the feature of not changing.

[0008] it is what was accomplished in order that this invention might solve the above-mentioned problem -- a block -- it aims at obtaining the digital recording playback equipment which can amend the image quality deterioration depended distorted.

[0009]

[Means for Solving the Problem] An encoding means which performs processing of orthogonal transformation, quantization and variable length coding one by one to image data inputted in this invention by a block unit which comprises two or more pixels. A record reproduction processing means to perform processing which records image data by which variable length coding was carried out [above-mentioned] on a

recording medium and reproduces this. A decoding means which performs processing of formation of reverse variable length inverse quantization and inverse orthogonal transformation one by one to image data reproduced [above-mentioned]. A conversion method which changes into image data of screen scanning order image data of a block unit decrypted [above-mentioned] and a block distortion correcting means to amend block distortion contained in image data changed [above-mentioned] are formed.

[0010]

[Function] According to this invention, the image data coded for every block is recorded on a recording medium. If a recording medium is reproduced after the reproduced coded image data is decrypted, it will be changed into the scanning sequential image data on a screen. The block distortion in this changed image data is amended by the block distortion correcting means.

[0011]

[Embodiment of the Invention] Drawing 1 shows the embodiment of the digital recording playback equipment by this invention and the explanation which gives identical codes to identical parts substantially with drawing 10 and overlaps is omitted. In this embodiment, it is the composition of differing from drawing 10 in that the block distortion correcting circuit 18 by this invention was formed between the image memory 3 and D/A converter 17.

[0012] Since according to the above-mentioned composition, the block distortion mentioned above by the block distortion correcting circuit 18 is amended and the image data read from the image memory 3 by the address controller 4 is inputted into D/A converter 16, the picture signal removed in the image quality deterioration by block distortion can be acquired.

[0013] Drawing 2 shows the example of composition of the block distortion correcting circuit 18. 201 in drawing 2 The input terminal of the image data from the image memory 3, 202 a block end detector circuit and 203 a block distortion information generation circuit and 204 A block distortion correcting filter. They are the output terminal of image data in which the AND gate was amended for 205 and a selector and 207 were amended for 206, a delay circuit where 208 delays the select signal of the selector 6 and a delay circuit where 209 is delayed in the input terminal of a synchronized signal and 210 delays inputted image data.

[0014] Next operation is explained. The synchronized signal in sync with the block end is inputted into the input terminal 209 and is inputted into the block end detector circuit 202 and a block end signal (at the time of a block end High) is inputted into AND gate 205. The image data inputted into the input terminal 201 is inputted into the block distortion information generation circuit 203 and block distortion information (it is High when distortion is larger than a predetermined value) is inputted into AND gate 205. Inputted image data is changed into amendment data with which it is inputted into the block distortion correcting filter 204 and the image quality deterioration by block

distortion is not conspicuous. Inputted image data is inputted also into the delay circuit 210 with this and timing with amendment data is adjusted.

[0015] The output of AND gate 205 outputs the selector signals of High when distortion is judged to be size using block distortion information in a block end and it controls the selector 206 via the delay circuit 208. Thereby in the selector 206 amendment data is chosen. When other selector signals are Low(s) delay image data is chosen from the delay circuit 210. As a result the image data by which block distortion was amended from the output terminal is outputted.

[0016] Drawing 3 is a timing chart explaining operation of the block distortion correcting circuit 18. the figure (a) — inputted image data and (b) — as for delay data and (f) a block end signal and (d) are [a synchronized signal and (c) / a block distortion signal and (e) / the output correction picture data from the output terminal 207 and CLK of amendment data and (g)] clocks. As shown in drawing 3 in a block end the data of the pixel judged that block distortion is size is replaced by amendment data.

[0017] Drawing 4 shows the example of composition of the block end detector circuit 202. As for a NOR gate and 402a decoder and 410 are the NOT gates a counter and 403 and 404 401.

[0018] In the above-mentioned composition when data is horizontally read from the image memory 3 since a block end appears a fixed cycle it can detect a block end by counting the data from the synchronized signal in sync with a block end. The decoder 403 decodes the cycle in which a block end appears and the decoder 404 decodes the horizontal cycle of a block. NOR gate 401 resets the counter 402 with the output of a synchronized signal or the decoder 404.

[0019] Drawing 5 is an example of composition of the block distortion correcting filter 204. As for the D form flip-flop (DFF) with which 405 and 406 delay input pixel data by 1 pixel and 407 an adding machine and 409 are 1/4 coefficient units a double coefficient unit and 408. The circuit of this figure constitutes the low pass filter of (121) and he is trying to remove the high region frequency component containing a block distortion component.

[0020] Drawing 6 is the 1st example of composition of the block distortion information generation circuit 203. As for a subtractor and 506 in drawing 6 501 and 502 are [an absolute-value circuit and 509] AND gates DFF and 503 504 505 and 508 EX (exclusive) NOR gate and 507.

[0021] According to the above-mentioned composition when [which detects the direction of 2-pixel change / when the direction of change is equal] it adjoins in 3 pixels which continues with the subtractors 503 and 504 EXNOR gate 506 output serves as High. The difference absolute value of the pixels left 2 pixels by the subtractor 505 and the absolute-value circuit 507 is detected and when a difference absolute value is smaller than the threshold TH the sign binary digit of the output of the subtractor 508 serves as High (negative). Therefore the variation of the pixels left

2 pixels is smaller than the threshold TH and when the direction of change does not change it is judged that block distortion is size and block distortion information serves as High at this time.

[0022] Drawing 7 is a figure explaining operation of the block distortion information generation circuit 203. A dashed line expresses the boundary of a block and O is a pixel. In drawing 7 the width A and B shown by the arrow calculates with the subtractor 505 when the absolute value is below the threshold TH it judges that block distortion is conspicuous and when it is more than TH it is judged that it is an edge part of a picture.

[0023] When detect the direction of change from the pixel value of the subtractor 503 and 504 block-end right and left it restricts when a change direction is equal and block distortion correcting processing is performed and the peak of a pixel value exists in a block end block distortion correcting processing is not performed. It considers so that the peak of a pixel value may not be deleted by this.

[0024] Drawing 8 is the 2nd example of composition of the block distortion information generation circuit 203. As for a subtractor and 708 and 709 in drawing 8 701 702 and 703 are [an AND gate and 711] absolute-value circuits DFF and 704 705 706 and 707 a comparator and 710.

[0025] The variation of the pixel within a block is calculated with the subtractors 704 and 705 and the comparator 708 compares the difference absolute value of 2 variation and threshold TH2. The comparator 708 serves as High at the time of difference absolute value $< TH2$.

[0026] When the 2-pixel variation of a block end is calculated with the subtractor 707 and the edge of a picture is not contained between blocks by the comparator 709 as compared with threshold TH3 it is judged as block distortion size and a compensation process is performed. The comparator 709 serves as High at the time of the variation of a $TH3 >$ pixel.

[0027] Although the picture which the pixel change approximated by detecting approximation of the amount of pixel changes within a block ranging over 2 blocks existed in this example of composition since the block border was included it judges that the amount of pixel change changed and it is judged that block distortion is size.

[0028] Drawing 9 is a figure explaining operation of the block distortion information generation circuit 203 of drawing 8. A dashed line expresses the boundary of a block and O is a pixel. In drawing 9 it is judged that the difference of the width shown by two arrows is the two or less threshold TH and block distortion is size when the difference of the pixel of a block end is the three or less threshold TH.

[0029]

[Effect of the Invention] As explained above according to this invention the visual image quality deterioration by the block distortion of the reproduced image which was not able to be avoided in the digital recording playback equipment which carries out block division carries out orthogonal transformation to a $M \times N$ pixel unit and carries out a data

compression to it can be amended. It became possible to acquire a quality reproduced image signal.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram showing an embodiment of the invention.

[Drawing 2] It is a block diagram showing the example of composition of a block distortion correcting circuit.

[Drawing 3] It is a timing chart which shows operation of a block distortion correcting circuit.

[Drawing 4] It is a block diagram showing the example of composition of a block end detector circuit.

[Drawing 5] It is a block diagram showing the example of composition of a block distortion correcting filter.

[Drawing 6] It is a block diagram showing the 1st example of composition of a block distortion information generation circuit.

[Drawing 7] It is a characteristic figure for explanation of the 1st example of composition of a block distortion information generation circuit of operation.

[Drawing 8] It is a block diagram showing the 2nd example of composition of a block distortion information generation circuit.

[Drawing 9] It is a characteristic figure for explanation of the 2nd example of composition of a block distortion information generation circuit of operation.

[Drawing 10] It is a block diagram showing conventional digital recording playback equipment.

[Description of Notations]

3 Image memory

4 Address controller

5 Orthogonal transformation circuit

6 Quantization circuit

7 Variable-length-coding circuit

10 Recording reproduction section

13 Reverse variable-length circuit

14 Inverse quantizing circuit

15 Inverse-orthogonal-transformation circuit

18 Block distortion correcting circuit

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-307855

(43)公開日 平成9年(1997)11月28日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/92			H 0 4 N 5/92	H
G 1 1 B 20/18	5 6 0		G 1 1 B 20/18	5 6 0 J
H 0 4 N 7/30			H 0 4 N 7/133	Z

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21)出願番号 特願平8-123528

(22)出願日 平成8年(1996)5月17日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 松井 泉

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

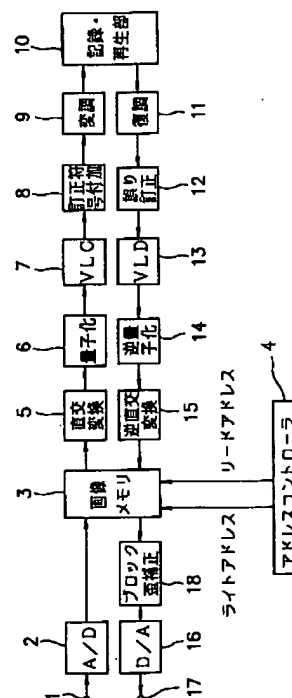
(74)代理人 弁理士 國分 孝悦

(54)【発明の名称】 記録再生装置

(57)【要約】

【課題】 ブロック単位に直交変換を用いて符号化された画像データの直交変換によるブロック歪を補正する。

【解決手段】 画像メモリ3からM×N画素毎にブロック化されて読み出された画像データは直交変換、量子化、符号化され、誤り訂正符号の付加後、変調されて記録媒体に記録される。再生されたデータは、復調、誤り訂正後、逆可変長化、逆量子化、逆直交変換されて復号化される。この復号化された画像データは画像メモリ3にブロック単位に格納された後、画面の走査順に読み出され、読み出された画像データはブロック歪補正回路18によりブロック歪が補正された後、D/A変換されてモニタ等に出力される。



【特許請求の範囲】

【請求項1】 複数の画素から成るブロック単位で入力される画像データに対して直交変換、量子化及び可変長符号化の処理を順次行う符号化手段と、上記可変長符号化された画像データを記録媒体に記録し、これを再生する処理を行う記録再生処理手段と、上記再生された画像データに対して逆可変長化、逆量子化及び逆直交変換の処理を順次行う復号化手段と、上記復号化されたブロック単位の画像データを画面走査順の画像データに変換する変換手段と、上記変換された画像データに含まれるブロック歪を補正するブロック歪補正手段とを備えた記録再生装置。

【請求項2】 上記ブロック歪補正手段は、上記変換された画像データに含まれるブロック端を検出するブロック端検出手段と、上記変換された画像データのブロック歪を検出するブロック歪検出手段と、上記変換された画像データが通過しブロック歪を補正するフィルタ手段と、上記ブロック端と上記ブロック歪とが検出されたとき上記フィルタ手段の出力を選択し、その他のときは上記変換された画像データを選択する選択手段とから構成されていることを特徴とする請求項1記載の記録再生装置。

【請求項3】 上記ブロック端検出手段は、上記ブロック端に同期した同期信号に基づいて検出を行うことを特徴とする請求項2記載の記録再生装置。

【請求項4】 上記ブロック歪検出手段は、連続する3画素における隣接する2画素の変化の方向が等しく、かつ2画素離れた画素同士の差分絶対値が所定値より小さいときブロック歪と判断することを特徴とする請求項2記載の記録再生装置。

【請求項5】 上記ブロック歪検出手段は、上記ブロック内の画素の変化量を演算し、2変化量の差分絶対値が所定値より小さく、かつブロック端の2画素の変化量が所定値より大きいときブロック歪と判断することを特徴とする請求項2記載の記録再生装置。

【請求項6】 上記フィルタ手段は、ローパスフィルタに構成されていることを特徴とする請求項2記載の記録再生装置。

【請求項7】 上記変換手段は、画像メモリとアドレスコントローラとにより構成されることを特徴とする請求項1記載の記録再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は画像データを直交変換を用いた圧縮符号化処理して記録再生する記録再生装置に関するものである。

【0002】

【従来の技術】 従来、デジタル記録再生装置において画像データ等を記録する場合、記録データ容量を小容量

とするためにデータ圧縮が行われることがある。画像データ圧縮では、デジタル画像データ（一般にはフレーム画像）を $M \times N$ 画素のブロックに分割し、ブロック分割されたブロックデータを再帰性のある直交変換（離散コサイン変換等）により変換し、その直交変換された直交変換係数データに対してデータ量が削減されると共に、画像データを伸長した際に違和感のない画像が復元できるような適度な量子化、可変長符号化が行われる。以上のようにしてデータ圧縮された圧縮データは記録を可能にするデータに変調（NRZ変調器）された後、記録回路に入力されて記録媒体に記録される。

【0003】 図10は従来のデジタル記録再生装置を示すブロック図である。図10において、1は画像信号入力端子、2はアナログ・デジタル変換を行うA/Dコンバータ、3は画像データを蓄積する画像メモリ、4は画像メモリの書込み・読出しアドレスを制御するアドレスコントローラ、5はDCT（離散コサイン変換）等の直交変換を行い、直交変換係数を出力する直交変換回路、6は直交変換係数を量子化する量子化回路、7は量子化データのデータ量を削減する可変長符号化（VLC）回路、8は再生時の誤り訂正を行うための訂正符号付加回路、9は記録する際に種々の損失を受け難くするための変調回路、10は記録／再生を行う記録再生部である。

【0004】 11は再生信号を復調する復調回路、12は上記訂正符号により誤り訂正を行う誤り訂正回路、13は再生されたVLCデータを量子化データに逆変換する逆可変長化（VLD）回路、14は量子化データを直交変換係数に変換する逆量子化回路、15は直交変換係数を逆変換して元の画像データと成す逆直交変換回路、16はデジタル・アナログ変換を行うD/Aコンバータ、17は画像信号の出力端子である。

【0005】 次に動作について説明する。記録時には、入力端子1に入力された画像信号はA/Dコンバータ2によりデジタル信号に変換され、画像メモリ3のアドレスコントローラ4の指定するアドレスに書き込まれる。アドレスコントローラ4は1フレームの画像を $M \times N$ 画素のブロック単位に分割して読み出すようにアドレスを制御する。 $M \times N$ 画素単位のブロックデータは直交変換回路5に入力されて直交変換係数に変換される。この直交変換係数データは量子化回路6において量子化データに変換され、この量子化データはVLC回路7において可変長符号に変換される。その符号化データは訂正符号付加回路8により訂正符号が付加され、変調回路9により変調された後、記録再生部10に入力されて磁気テープ等の記録媒体に記録される。

【0006】 再生時には、記録再生部10より出力される再生データは復調回路11で復調され、誤り訂正回路12において訂正符号を用いて誤り訂正が行われた後、VLD回路13において量子化データに変換される。こ

の量子化データは逆量子化回路14に入力されて直交変換係数データに変換され、さらに逆直交変換回路15においてM×N画素のブロック単位のデジタル画像データとなる。この画像データは画像メモリ3のアドレスコントローラ4の指定するアドレスに書き込まれる。アドレスコントローラ4により画面のライン方向にメモリ内データを読み出すように画像メモリ3の読み出しアドレスが制御され、読み出された画像データはD/Aコンバータによりアナログの画像信号に変換されて出力端子17より出力される。

【0007】

【発明が解決しようとする課題】上述した従来のデジタル記録再生装置では、ブロック分割された直交変換係数の量子化が、直交変換係数データの符号量の削減に多大な効果を持つが、直交変換係数のDC成分のブロック単位の誤差を伴い、その結果としてブロックの端にブロック歪と呼ばれる視覚的に大きな画質劣化が発生するという問題があった。その場合、動画、静止画に関わらずブロックの端は固定であるので、ブロック歪の出現場所は変化しないという特徴を持っている。

【0008】本発明は上記の問題を解決するために成されたもので、ブロック歪による画質劣化を補正することのできるデジタル記録再生装置を得ることを目的とする。

【0009】

【課題を解決するための手段】本発明においては、複数の画素から成るブロック単位で入力される画像データに対して直交変換、量子化及び可変長符号化の処理を順次行う符号化手段と、上記可変長符号化された画像データを記録媒体に記録し、これを再生する処理を行う記録再生処理手段と、上記再生された画像データに対して逆可変長化、逆量子化及び逆直交変換の処理を順次行う復号化手段と、上記復号化されたブロック単位の画像データを画面走査順の画像データに変換する変換手段と、上記変換された画像データに含まれるブロック歪を補正するブロック歪補正手段とを設けている。

【0010】

【作用】本発明によれば、ブロック毎に符号化された画像データは記録媒体に記録される。記録媒体が再生されると、再生された符号化画像データは復号化された後、画面上の走査順次の画像データに変換される。この変換された画像データにおけるブロック歪がブロック歪補正手段により補正される。

【0011】

【発明の実施の形態】図1は本発明によるデジタル記録再生装置の実施の形態を示すもので、図10と実質的に同一部分には同一符号を付して重複する説明を省略する。本実施の形態においては、本発明によるブロック歪補正回路18を、画像メモリ3とD/Aコンバータ17との間に設けた点が図10と異なる構成である。

【0012】上記構成によれば、画像メモリ3からアドレスコントローラ4により読み出された画像データはブロック歪補正回路18により前述したブロック歪が補正されてD/Aコンバータ16に入力されるので、ブロック歪による画質劣化を除去された画像信号を得ることができる。

【0013】図2はブロック歪補正回路18の構成例を示すものである。図2において、201は画像メモリ3からの画像データの入力端子、202はブロック端検出回路、203はブロック歪情報発生回路、204はブロック歪補正フィルタ、205はANDゲート、206はセクタ、207は補正された画像データの出力端子、208はセクタ6のセレクト信号を遅延させる遅延回路、209は同期信号の入力端子、210は入力画像データを遅延させる遅延回路である。

【0014】次に動作について説明する。入力端子209に入力されるブロック端に同期した同期信号はブロック端検出回路202に入力され、ブロック端信号（ブロック端の時 High）がANDゲート205に入力される。また、入力端子201に入力される画像データはブロック歪情報発生回路203に入力され、ブロック歪情報（歪が所定値より大きい時 High）がANDゲート205に入力される。また、入力画像データはブロック歪補正フィルタ204に入力されてブロック歪による画質劣化が目立たないような補正データに変換される。これと共に入力画像データは遅延回路210にも入力され、補正データとのタイミングが調整される。

【0015】ANDゲート205の出力は、ブロック端においてブロック歪情報により歪が大と判断されたときにはHighのセクタ信号を出力し、遅延回路208を介してセクタ206を制御する。これによりセクタ206において補正データが選択される。その他のセクタ信号がLowの場合には遅延回路210から遅延画像データが選択される。この結果、出力端子よりブロック歪が補正された画像データが出力される。

【0016】図3はブロック歪補正回路18の動作を説明するタイミングチャートである。同図（a）は入力画像データ、（b）は同期信号、（c）はブロック端信号、（d）はブロック歪信号、（e）は遅延データ、（f）は補正データ、（g）は出力端子207からの出力補正画像データ、CLKはクロックである。図3に示すように、ブロック端において、ブロック歪が大であると判断された画素のデータは補正データに置換される。

【0017】図4はブロック端検出回路202の構成例を示す。401はNORゲート、402はカウンタ、403、404はデコーダ、410はNOTゲートである。

【0018】上記構成において、画像メモリ3から水平方向にデータが読み出される時、ブロック端は一定の周期で現われるため、ブロック端に同期している同期信号

からのデータをカウントすることにより、ブロック端を検出することができる。デコーダ403はブロック端の現われる周期をデコードし、デコーダ404はブロックの水平方向の周期をデコードする。NORゲート401は、同期信号又はデコーダ404の出力によってカウンタ402をリセットする。

【0019】図5はブロック歪補正フィルタ204の構成例である。405、406は入力画素データを1画素分遅延させるD形フリップフロップ(DFF)、407は2倍係数器、408は加算器、409は1/4係数器である。この図の回路は(1、2、1)のローパスフィルタを構成しており、ブロック歪成分を含む高域周波数成分を除去するようにしている。

【0020】図6はブロック歪情報発生回路203の第1の構成例である。図6において、501、502はDFF、503、504、505、508は減算器、506はEX(排他的)NORゲート、507は絶対値回路、509はANDゲートである。

【0021】上記構成によれば、減算器503、504により連続する3画素において隣接する2画素の変化の方向を検出し、変化の方向が等しいときEXNORゲート506出力はHighとなる。また、減算器505、絶対値回路507により2画素離れた画素同士の差分絶対値を検出し、差分絶対値がしきい値THより小さいとき、減算器508の出力のサインビットはHigh

(負)となる。従って、2画素離れた画素同士の変化量がしきい値THより小さく、かつ変化の方向が変わらないときにブロック歪は大であると判断され、このときブロック歪情報はHighとなる。

【0022】図7はブロック歪情報発生回路203の動作を説明する図である。破線はブロックの境界を表し、○は画素である。図7において、矢印で示してある幅A、Bが減算器505で演算され、その絶対値がしきい値TH以下の時はブロック歪が目立つと判断し、TH以上の時は画像のエッジ部であると判断する。

【0023】また、減算器503、504ブロック端左右の画素値からの変化の方向を検出し、変化方向が等しいときに限り、ブロック歪補正処理が行われ、ブロック端に画素値のピークが存在する場合は、ブロック歪補正処理は行われない。これによって画素値のピークを削らないように配慮している。

【0024】図8はブロック歪情報発生回路203の第2の構成例である。図8において、701、702、703はDFF、704、705、706、707は減算器、708、709はコンパレータ、710はANDゲート、711は絶対値回路である。

【0025】減算器704、705によりブロック内の画素の変化量を演算し、2変化量の差分絶対値としきい値TH2とをコンパレータ708により比較する。コンパレータ708は差分絶対値<TH2の時、Highと

なる。

【0026】また、減算器707によりブロック端の2画素の変化量を演算し、コンパレータ709によりしきい値TH3と比較し、ブロック間に画像のエッジが含まれないときにブロック歪大と判断して補正処理が行われる。コンパレータ709はTH3>画素の変化量の時、Highとなる。

【0027】本構成例では、ブロック内の画素変化量の近似を検出することにより、2ブロックにまたがって画素変化の近似した画像が存在していたが、ブロック境界を含んだために、画素変化分が変わったと判断し、ブロック歪が大であると判断する。

【0028】図9は図8のブロック歪情報発生回路203の動作を説明する図である。破線はブロックの境界を表し、○は画素である。図9において、二箇所矢印で示してある幅の差分がしきい値TH2以下で、かつブロック端の画素の差分がしきい値TH3以下の時ブロック歪が大であると判断する。

【0029】

【発明の効果】以上説明したように本発明によれば、M×N画素単位にブロック分割し直交変換してデータ圧縮するデジタル記録再生装置において避けることのできなかった再生画像のブロック歪による視覚的な画質劣化を補正することができ、高品質な再生画像信号を得ることが可能となった。

【図面の簡単な説明】

【図1】本発明の実施の形態を示すブロック図である。

【図2】ブロック歪補正回路の構成例を示すブロック図である。

【図3】ブロック歪補正回路の動作を示すタイミングチャートである。

【図4】ブロック端検出回路の構成例を示すブロック図である。

【図5】ブロック歪補正フィルタの構成例を示すブロック図である。

【図6】ブロック歪情報発生回路の第1の構成例を示すブロック図である。

【図7】ブロック歪情報発生回路の第1の構成例の動作説明のための特性図である。

【図8】ブロック歪情報発生回路の第2の構成例を示すブロック図である。

【図9】ブロック歪情報発生回路の第2の構成例の動作説明のための特性図である。

【図10】従来のデジタル記録再生装置を示すブロック図である。

【符号の説明】

- 3 画像メモリ
- 4 アドレスコントローラ
- 5 直交変換回路
- 6 量子化回路

7 可変長符号化回路

10 記録再生部

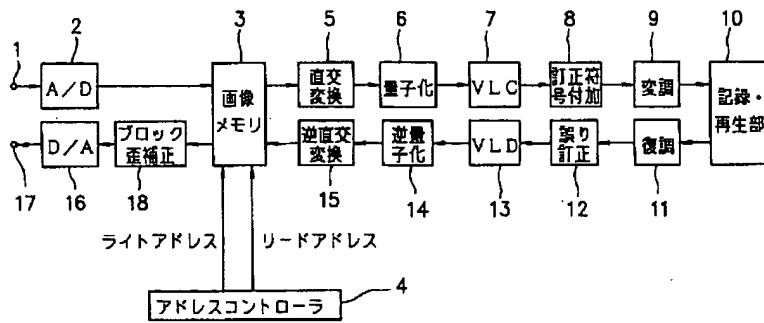
13 逆可変長回路

14 逆量子化回路

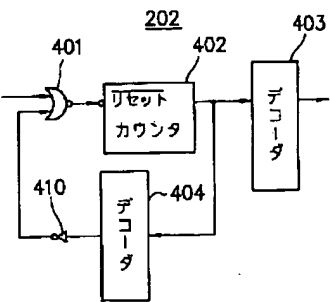
15 逆直交変換回路

18 ブロック歪補正回路

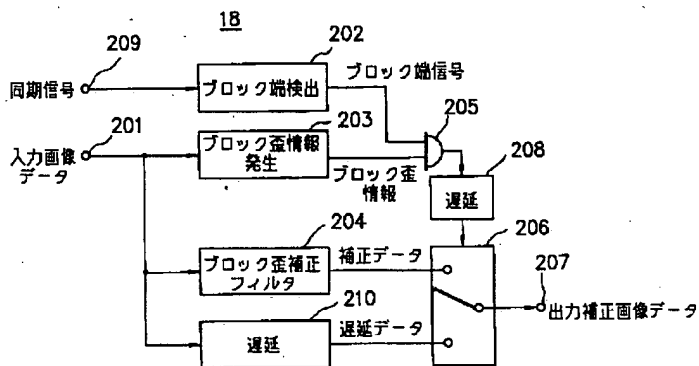
【図1】



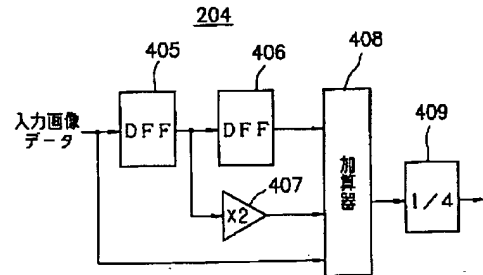
【図4】



【図2】

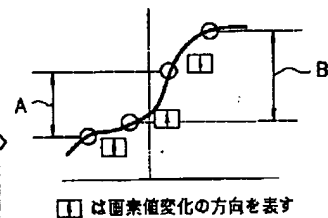
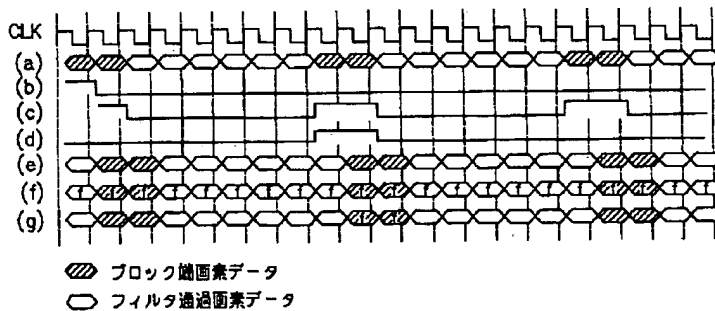


【図5】

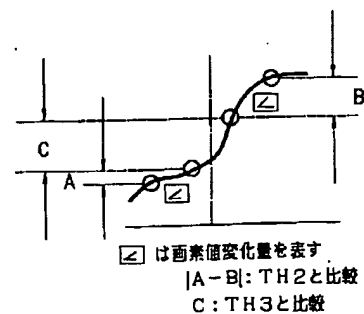


【図7】

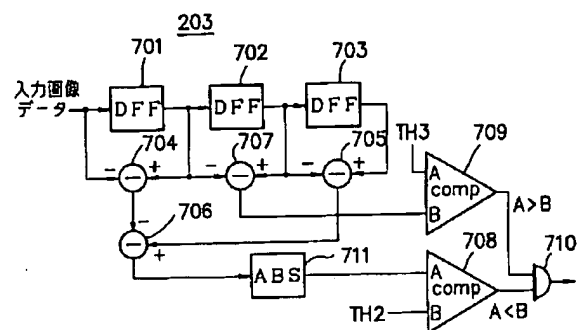
【図3】



【図9】



【图8】



【図 10】

